

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015929

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H05K 3/46

H01L 23/12

(21)Application number : 11-183375

(71)Applicant : SONY CHEM CORP

(22)Date of filing : 29.06.1999

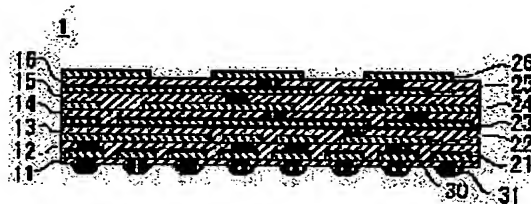
(72)Inventor : KURITA HIDEYUKI  
NAKAMURA MASAYUKI

## (54) MULTILAYER BOARD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a multilayer board in which no destruction of connection parts is caused by thermal fatigue.

**SOLUTION:** The multilayer board 1 is formed by alternately laminating polyimide films 11-16 and copper films 21-26. By setting the coefficient of thermal expansion of the polyimide films 11-16 to 2-5 ppm/° C, the coefficient of thermal expansion of the whole multilayer board 1 becomes less than 10 ppm/° C. Since it is near the coefficient of thermal expansion of semiconductor devices to be mounted, no destruction is caused at its connecting parts to the semiconductor devices. The multilayer board 1 can be used for both an interposer and a motherboard.



## LEGAL STATUS

[Date of request for examination]

02.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3213291

[Date of registration]

19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

15.11.2002

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3213291号  
(P3213291)

(45) 発行日 平成13年10月2日 (2001. 10. 2)

(24) 登録日 平成13年7月19日 (2001. 7. 19)

(51) Int.Cl.<sup>7</sup> 識別記号  
H 0 5 K 3/46  
H 0 1 L 23/12

F I  
H 0 5 K 3/46 S  
H 0 1 L 23/12 N

請求項の数 9 (全 6 頁)

(21) 出願番号 特願平11-183375  
(22) 出願日 平成11年6月29日 (1999. 6. 29)  
(65) 公開番号 特開2001-15929 (P2001-15929A)  
(43) 公開日 平成13年1月19日 (2001. 1. 19)  
審査請求日 平成12年5月2日 (2000. 5. 2)

(73) 特許権者 000108410  
ソニーケミカル株式会社  
東京都中央区日本橋室町1丁目6番3号  
(72) 発明者 栗田 英之  
栃木県鹿沼市さつき町12-3 ソニーケ  
ミカル株式会社 第2工場内  
(72) 発明者 中村 雅之  
栃木県鹿沼市さつき町12-3 ソニーケ  
ミカル株式会社 第2工場内  
(74) 代理人 100102875  
弁理士 石島 茂男 (外1名)

審査官 林 茂樹

(56) 参考文献 特開 平9-199635 (J P, A)  
特開 平5-214301 (J P, A)  
特開 昭63-307797 (J P, A)

最終頁に続く

(54) 【発明の名称】 多層基板及び半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には膜拡がり方向の熱膨張係数が10 ppm/°C未満のポリイミド膜が用いられ、積層された状態での基板拡がり方向の熱膨張係数が3 ppm/°C以上10 ppm/°C未満にされた多層基板。

【請求項2】 前記各導電層には膜拡がり方向の熱膨張係数が10 ppm/°C以上の金属膜が用いられた請求項1記載の多層基板。

【請求項3】 樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には、少なくとも、膜拡がり方向の熱膨張係数が2 ppm/°C以上5 ppm/°C以下の範囲の第1種のポリイミド膜と、

2

膜拡がり方向の熱膨張係数が5 ppm/°Cを超え30 ppm/°C以下の範囲の第2種のポリイミド膜とが用いられ、

前記各導電層には拡がり方向の熱膨張係数が10 ppm/°C以上の金属膜が用いられた多層基板。

【請求項4】 前記樹脂層を3層以上有する請求項3記載の多層基板であって、

前記第1種のポリイミド膜は前記多層基板の厚み方向中央部分に配置され、

10 前記第2種のポリイミド膜は、前記第1種のポリイミド膜の表面層部分に配置された請求項3記載の多層基板。

【請求項5】 前記樹脂層を3層以上有する請求項3記載の多層基板であって、

前記第1種のポリイミド膜は少なくとも2層以上配置され、

前記第 2 種のポリイミド膜は、前記第 1 種のポリイミド膜の中間に配置された請求項 3 記載の多層基板。

【請求項 6】少なくとも片面には、導電性の突起が表面に露出する状態で複数個設けられた請求項 1 乃至請求項 5 のいずれか 1 項記載の多層基板。

【請求項 7】少なくとも片面には、前記金属層が表面に露出された請求項 1 乃至請求項 6 のいずれか 1 項記載の多層基板。

【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項記載の多層基板と、半導体素子とを有し、前記導電層の少なくとも 1 層に前記半導体素子が電気的に接続されている半導体装置。

【請求項 9】請求項 8 記載の半導体装置であって、前記多層基板の前記半導体素子が配置された面とは反対側の面には、導電性の突起が表面に露出する状態で複数個配置された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層基板に関し、特に、高密度配線の半導体素子に適した多層基板に関する。

【0002】

【従来の技術】近年では、半導体素子のパターンが微細化し、半導体に設けられた外部との接続端子は高密度化する一方である。

【0003】図 8 の符号 110 は、半導体素子を示しており、素子本体 111 には、トランジスタ等の微細素子が形成されいる。該素子本体 111 内には、微細素子によって電子回路が形成されており、素子本体 111 表面に、電子回路を外部に接続するための半田の突起 112 が設けられている。

【0004】符号 130 は、銅配線を有し表面にボンディングランドが設けられたマザーボードを示している。マザーボード 130 の銅配線ピッチに比べ、半導体素子 110 の突起 112 が狭ピッチなため、マザーボード 130 上に直接搭載することはできない。

【0005】そこで従来技術では、半導体素子 110 とマザーボード 130 とを電気的に接続するために、微細な配線パターンが形成された樹脂フィルム 121 と、該樹脂フィルム 121 に設けられた疎ピッチの突起 122 とでインターポーザー 120 を構成し、狭ピッチな半導体素子 110 の突起 112 を、インターポーザー 120 の微細な配線パターンに接続し、インターポーザー 120 内部でピッチの変換を行い、インターポーザー 120 の突起 122 をマザーボード 130 上のボンディングパッドに接続している。

【0006】近年では、半導体素子 110 の突起 112 の数が増えたため、上記のようなインターポーザー 120 は多層構造となっており、複数の導電層と樹脂層とが積層されている。

【0007】しかしながら多層構造のインターポーザー 120 上に半導体素子 110 を搭載した場合、半導体素子 110 の突起 112 が破壊するという問題が生じた。

【0008】

【発明が解決しようとする課題】本発明の発明者等が、半導体素子 110 とインターポーザー 120 の特性を調査したところ、半導体素子 110 の熱膨張係数(線膨張係数)が  $2.6 \text{ ppm}/^{\circ}\text{C}$  であるのに対し、従来技術の多層構造のインターポーザー 120 は、熱膨張係数が  $30 \text{ ppm}/^{\circ}\text{C}$  であった。

【0009】半導体素子 110 を上記のような高熱膨張係数のインターポーザーを介してマザーボード 130 に搭載した場合、半導体素子 110 とインターポーザーの熱膨張係数の値が異なるため、接続部分において大きな応力が生じ、半導体素子 110 の突起 112 が熱疲労し、最終的に破壊していることが分かった。

【0010】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、接続部における破壊が生じないインターポーザーや基板を構成できる多層基板を提供することにある。

【0011】上記課題を解決するために、請求項 1 記載の発明は、樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には膜拡がり方向の熱膨張係数が  $10 \text{ ppm}/^{\circ}\text{C}$  未満のポリイミド膜が用いられ、積層された状態での基板拡がり方向の熱膨張係数が  $3 \text{ ppm}/^{\circ}\text{C}$  以上  $10 \text{ ppm}/^{\circ}\text{C}$  未満にされた多層基板である。請求項 2 記載の発明は、前記各導電層には膜拡がり方向の熱膨張係数が  $10 \text{ ppm}/^{\circ}\text{C}$  以上の金属膜が用いられた請求項 1 記載の多層基板である。請求項 3 記載の発明は、樹脂層と導電層とが交互に複数層積層されて構成された多層基板であって、前記各樹脂層には、少なくとも、膜拡がり方向の熱膨張係数が  $2 \text{ ppm}/^{\circ}\text{C}$  以上  $5 \text{ ppm}/^{\circ}\text{C}$  以下の範囲の第 1 種のポリイミド膜と、膜拡がり方向の熱膨張係数が  $5 \text{ ppm}/^{\circ}\text{C}$  を超え  $30 \text{ ppm}/^{\circ}\text{C}$  以下の範囲の第 2 種のポリイミド膜とが用いられ、前記各導電層には拡がり方向の熱膨張係数が  $10 \text{ ppm}/^{\circ}\text{C}$  以上の金属膜が用いられた多層基板である。請求項 4 記載の発明は、前記樹脂層を 3 層以上有する請求項 3 記載の多層基板であって、前記第 1 種のポリイミド膜は前記多層基板の厚み方向中央部分に配置され、前記第 2 種のポリイミド膜は、前記第 1 種のポリイミド膜の表面層部分に配置された請求項 3 記載の多層基板である。請求項 5 記載の発明は、前記樹脂層を 3 層以上有する請求項 3 記載の多層基板であって、前記第 1 種のポリイミド膜は少なくとも 2 層以上配置され、前記第 2 種のポリイミド膜は、前記第 1 種のポリイミド膜の中間に配置された請求項 3 記載の多層基板である。請求項 6 記載の発明は、少なくとも片面には、導電性の突起が表面に露出する状態で複数個設けられた請求項 1 乃至請求項 5 のいずれか 1 項記載の多層基板である。請求項

7記載の発明は、少なくとも片面には、前記金属層が表面に露出された請求項1乃至請求項6のいずれか1項記載の多層基板である。請求項8記載の発明は、請求項1乃至請求項7のいずれか1項記載の多層基板と、半導体素子とを有し、前記導電層の少なくとも1層に前記半導体素子が電気的に接続されている半導体装置である。請求項9記載の発明は、請求項8記載の半導体装置であって、前記多層基板の前記半導体素子が配置された面とは反対側の面には、導電性の突起が表面に露出する状態で複数個配置された半導体装置である。

【0012】本発明の多層基板は上記のように構成されており、半導体素子の熱膨張係数 $2.6 \text{ ppm}/^{\circ}\text{C}$ に近いので、半導体素子と多層基板との間の接続部分に加わる熱応力が小さく、熱疲労による破壊が生じにくくなっている。

【0013】また、本発明の多層基板の熱膨張係数は、マザーボードの熱膨張係数 $13 \sim 17 \text{ ppm}/^{\circ}\text{C}$ と半導体素子の熱膨張係数 $2.6 \text{ ppm}/^{\circ}\text{C}$ の間の値なので、マザーボードと半導体素子の間に配置するインターポーザーに本発明の多層基板を用いた場合、マザーボードの大きな熱収縮を緩和することができる。

【0014】 $10 \text{ ppm}/^{\circ}\text{C}$ 以上の熱膨張係数の導電層を用い、 $10 \text{ ppm}/^{\circ}\text{C}$ 未満の積層基板を得たい場合に\*

表1 評価結果

膜の種類	位置 (符号)	第1の評価用基板		第2の評価用基板		第3の評価用基板	
		熱膨張係数	厚み	熱膨張係数	厚み	熱膨張係数	厚み
		$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$	$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$	$\text{ppm}/^{\circ}\text{C}$	$\mu\text{m}$
ポリイミド膜	A <sub>1</sub>	3	20	15	20	4	20
	A <sub>2</sub>	3	20	3	20	4	20
	A <sub>3</sub>	3	20	3	20	18	20
	A <sub>4</sub>	3	20	3	20	4	20
	A <sub>5</sub>	3	20	15	20	4	20
銅膜	B <sub>1</sub>	21	12	21	12	21	12
	B <sub>2</sub>	21	12	21	12	21	12
	B <sub>3</sub>	21	12	21	12	21	12
	B <sub>4</sub>	21	12	21	12	21	12
	B <sub>5</sub>	21	12	21	12	21	12
	B <sub>6</sub>	21	12	21	12	21	12
全体		6	172	7	172	7	172

【0019】第1の評価用基板は、5層全てのポリイミド膜(樹脂層)A<sub>1</sub>～A<sub>5</sub>に、膜はがり方向の熱膨張係数が $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは全て $3 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用いた。

【0020】第2の評価用基板は、多層基板9の厚み方向中央部分の3層のポリイミド膜A<sub>2</sub>～A<sub>4</sub>に熱膨張係数が $2 \text{ ppm}/^{\circ}\text{C}$ 以上 $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは3層全て $3 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用い、且つ、表面層部分のポリイミド膜A<sub>1</sub>、A<sub>5</sub>に、熱膨張係数が $5 \text{ ppm}$

\*は、その導電層と $10 \text{ ppm}/^{\circ}\text{C}$ 未満の樹脂層とを積層させるとよい。

【0015】また、所望の熱膨張係数の多層基板を得たい場合、導電層や樹脂層自体の熱膨張率を制御することは困難であるから、異なる熱膨張係数の樹脂層を用い、導電層と積層させるとよい。異なる熱膨張係数の樹脂層を積層させる場合、 $10 \text{ ppm}/^{\circ}\text{C}$ を超える樹脂層と $10 \text{ ppm}/^{\circ}\text{C}$ 未満の樹脂層とを組み合わせることができる。

10 【0016】

【発明の実施の形態】図7の符号9は、本発明の一実施形態の多層基板を示している。この多層基板9は、5層の樹脂層A<sub>1</sub>～A<sub>5</sub>と、6層の導電層B<sub>1</sub>～B<sub>6</sub>とがその順序で交互に積層されて構成されている。

【0017】導電層B<sub>1</sub>～B<sub>6</sub>には、膜厚 $12 \mu\text{m}$ 、熱膨張係数 $21 \text{ ppm}/^{\circ}\text{C}$ の銅膜を用い、樹脂層A<sub>1</sub>～A<sub>5</sub>には、ポリイミド膜を用いた。ポリイミド膜の熱膨張係数と膜厚の組み合わせを変え、第1～第3の評価用積層基板を作製し、熱膨張係数を測定した。測定結果を下記表1に示す。

【0018】

【表1】

$^{\circ}\text{C}$ を超え $30 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは $15 \text{ ppm}/^{\circ}\text{C}$ である。)のポリイミド膜を用いた。

【0021】第3の評価用基板は、第2の評価用基板とは逆に、多層基板9の厚み方向中央部分の1層のポリイミド膜A<sub>3</sub>だけ、熱膨張係数が $5 \text{ ppm}/^{\circ}\text{C}$ を超え $30 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは $18 \text{ ppm}/^{\circ}\text{C}$ である。)のものをを用い、且つ、表面部分のポリイミド膜A<sub>1</sub>、A<sub>2</sub>、A<sub>4</sub>、A<sub>5</sub>に、熱膨張係数が $2 \text{ ppm}/^{\circ}\text{C}$ 以上 $5 \text{ ppm}/^{\circ}\text{C}$ 以下(ここでは4層全て $4 \text{ ppm}/^{\circ}\text{C}$ である。)のものを

用いた。上記表 1 から分かるように、第 1～第 3 の評価用基板では、全体の熱膨張係数が  $10 \text{ ppm}/^\circ\text{C}$  未満になっている。

【0022】なお、熱膨張係数が  $3 \text{ ppm}/^\circ\text{C}$  のポリイミド膜は、無水ピロメリット酸、又は 3, 4, 3', 4' ビフェニルテトラカルボン酸二無水物等の酸と、パラジアミノビフェニル、3, 3 ジメチル 4, 4 ジアミノビフェニル、2 メチルパラジアミノベンゼン等のアミンを反応させて得ることができる。

【0023】熱膨張係数が  $15 \text{ ppm}/^\circ\text{C}$  のポリイミド膜を形成するためには、酸には、無水ピロメリット酸や 3, 4, 3', 4' ビフェニルテトラカルボン酸二無水物等を用いることができる。また、アミンには、3, 3' ジメトキシ 4, 4' ジアミノビフェニル、4, 4' ジアミノビフェニルエーテル、ジアミノピリジン、4, 4' ジアミノベンゼンアニリド等を用いることができる。

【0024】

【実施例】次に、本発明の多層基板を用い、半導体素子を搭載する場合について説明する。図 1 を参照し、符号 1 は、本発明の第 1 例の多層基板を示している。この多層基板 1 は、樹脂層 11～16 と、導電層 21～26 とを 6 層ずつ有している。

【0025】導電層 21～26 は、膜厚  $12 \mu\text{m}$  の銅膜によって構成されており、樹脂層 11～16 は、ポリイミド膜によって構成されている。導電層 21～26 と樹脂層 11～16 は、1 層ずつ交互に配置され、導電層 21～26 同士が接触しないように積層されている。

【0026】導電層 21～26 間に位置する樹脂層 12～16 の所定位置には孔が形成されている。各孔内にはメッキ法等によって導電性物質(ここでは銅)が充填されており、充填物によってプラグ 30 が形成されている。

【0027】導電層 21～26 は所定形状にパターンニングされ、各導電層 21～26 の膜拡がり方向に延びる配線が形成されている。各層の配線間は、プラグ 30 によって電氣的に接続されている。

【0028】この多層基板 1 には、表面に露出された導電層 26 によって、ボンディングランドが設けられており、半導体素子等に設けられた突起物はこのボンディングランドに接続できるようになっている。

【0029】裏面側では、最下層の導電層 21 上に、導電性の突起(ここでは銅バンプである。) 31 が設けられている。裏面側の導電層 21 は、樹脂層 11 によって覆われており、導電性の突起 31 先端だけが、樹脂層 11 から突き出されている。

【0030】図 2(a) の符号 1 は、上記第 1 例の多層基板であり、多層基板 1 の導電性の突起 31 をマザーボード 42 表面の配線パターンに向け、また、半導体素子 110 の突起 112 を多層基板 1 の導電層 26 に向け、接続すると、同図(b)に示す本発明の半導体装置 51 が得られる。この半導体装置 51 では、半導体素子 110 内

の電子回路は、多層基板 1 内の導電層 21～26 とプラグ 30 とを介して、マザーボード 42 に設けられた配線パターンに接続されている。

【0031】この積層構造の多層基板 1 (及び後述する第 2 例以降の多層基板 2～5) は全体の拡がり方向の熱膨張係数が  $10 \text{ ppm}/^\circ\text{C}$  未満であって、半導体素子 110 の突起 112 や多層基板 1 の導電性の突起 31 には熱疲労による破壊は生じない。

【0032】

【実施例】図 3 の符号 2 は、本発明の第 2 例の多層基板であり、第 1 例の多層基板 1 と同様の構成になっている。

【0033】ここでは、第 2 例の多層基板 2 は、図 2(a)、(b) のマザーボード 42 の代わりに用いられており、突起を有さないインターポザー 125 を用い、多層基板 2 表面に形成された導電性の突起 32 と、半導体素子 110 の突起 112 とを接続すると、本発明の半導体装置 52 が作製される。

【0034】その半導体装置 52 でも、インターポザー 125 に単層基板のものをを用いれば、単層基板の熱膨張係数は金属膜(銅膜)の熱膨張係数に近いので、第 1 例の多層基板 1 と同様に、半導体素子 110 の突起の破壊は生じない。

【0035】

【実施例】図 4(a)、(b) の符号 2 は、図 3(a)、(b) で示したものと同一本発明の第 2 例の多層基板であり、符号 3 は、表面と裏面にボンディングランドが設けられた本発明の第 3 例の多層基板である。

【0036】この第 3 例の多層基板 3 をインターポザーに用い、図 4(a) に示すように半導体素子 110 と多層基板 2 の間に配置し、半導体素子の突起 112 と、第 2 例の多層基板 3 の突起 32 を第 3 例の多層基板 3 のボンディングランドに取り付けると、本発明の半導体装置 53 が作製される。

【0037】

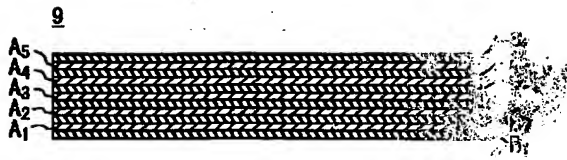
【実施例】図 5(a)、(b) の符号 4 は、本発明の第 4 の実施例の多層基板を示している。この多層基板 4 は、突起を有しておらず、その表面に設けられたボンディングランドに直接半導体素子 110 の突起 112 を接続すると、本発明の半導体装置 54 が作製される。

【0038】

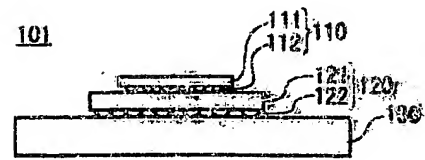
【実施例】図 6(a)、(b) の符号 5 は、本発明の第 5 の実施例の多層基板を示している。この多層基板 5 は、狭ピッチの突起 33 が表面に露出するように形成されており、突起を有さない半導体素子 115 のボンディングランドを狭ピッチの突起 33 先端に当接させて接続すると、本発明の半導体装置 55 が得られる。

【0039】以上説明したように、本発明の多層基板は、マザーボードにもインターポザーにも用いることができる。また、本発明の多層基板には、突起が形成さ

【図 7】



【図 8】



フロントページの続き

(58) 調査した分野(Int. Cl.<sup>7</sup>, DB名)

H05K 3/46

H01L 23/12